

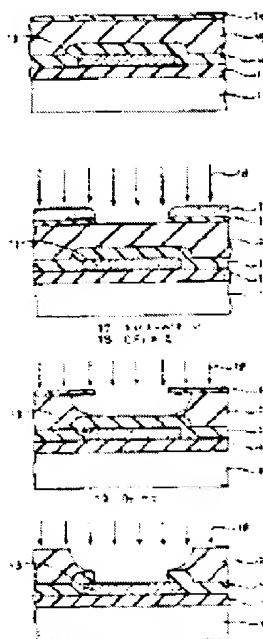
**MANUFACTURE OF SEMICONDUCTOR DEVICE****Publication number:** JP2025024**Publication date:** 1990-01-26**Inventor:** MOCHIZUKI HIROSHI; KOYAMA TORU**Applicant:** MITSUBISHI ELECTRIC CORP**Classification:**

- International: **H01L21/302; H01L21/3065; H01L21/768; H01L23/522;  
H01L21/02; H01L21/70; H01L23/52; (IPC1-7):  
H01L21/302; H01L21/90**

- European:

**Application number:** JP19880175520 19880713**Priority number(s):** JP19880175520 19880713[Report a data error here](#)**Abstract of JP2025024**

**PURPOSE:**To enable a pattern to be formed by applying only one time photolithography by a method wherein an inorganic insulating film, a surface protective film and another inorganic insulating film are successively and selectively dryetched using a resist pattern formed on the topmost layer as a mask. **CONSTITUTION:**An Al electrode wiring 13 is selectively formed on an Si semiconductor substrate 11 through the intermediary of an inorganic insulating film 12 to deposition-form another inorganic insulating film 14 on the wiring 13. Successively, a surface protective film 15 comprising an organic insulating film is formed on the film 14. First, the other inorganic insulating film 16 is deposition-formed on the film 15. Later, a resist pattern 17 is formed on the film 16 to make a pattern opening in the film 16 using the pattern 17 as a mask. Secondly, the film 16 is selectively dryetched away to make an opening using the opened film 16 as a mask. Finally, the film 14 is selectively dryetched away to make an opening using the films 16 and 15 as masks. At this time, the film 15 can be pattern-formed by simultaneously etching away the film 16. Through these procedures, the surface protective film 15 can be pattern-formed by applying only one time photolithography.

Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-25024

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月26日

H 01 L 21/302  
21/90

H 8223-5F  
S 6824-5F

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-175520

⑰ 出 願 昭63(1988)7月13日

⑱ 発 明 者 望 月 弘 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 発 明 者 小 山 徹 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上に第1の無機絶縁膜を介して電極配線を選択的に形成させ、かつこの電極配線の上に第2の無機絶縁膜を堆積させる工程と、前記第2の無機絶縁膜上に有機絶縁膜からなる表面保護膜を形成させる工程と、前記表面保護膜上に第3の無機絶縁膜を堆積させる工程と、前記第3の無機絶縁膜上にレジストパターンを形成し、これをマスクに第3の無機絶縁膜を選択的にドライエッチングしてパターン開口させる工程と、パターニングされた第3の無機絶縁膜をマスクに前記表面保護膜を選択的にドライエッチングしてパターン開口させ、かつ同時に前記レジストパターンを除去する工程と、パターニングされた表面保護膜をマスクに前記第2の無機絶縁膜を選択的にドライエッチングしてパターン開口させ、かつ同時に前記第3の無機絶縁膜を除去する工程とを含むことを

特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置の製造方法に関し、さらに詳しくは、半導体装置における半導体チップでの有機絶縁膜を用いた表面保護膜のパターン形成方法の改良に係るものである。

(従来の技術)

従来例でのこの種の半導体チップにおける有機絶縁膜を用いた表面保護膜のパターン形成方法の主要な工程段階を第3図(a)ないし(d)にそれぞれ模式的に示してある。

すなわち、これらの第3図において、従来例での半導体チップにおける表面保護膜のパターン形成方法は、シリコン半導体基板1上にあつて、まず、例えば、CVD(Chemical Vapor Deposition)法などにより、酸化珪素膜などの無機絶縁膜による第1の絶縁膜2を堆積形成させ、かつこの第1の絶縁膜2の表面上を、スパッタ法などにより、アルミ層、またはアルミ・シリコン合金層で被覆し

たのち、写真製版法により、同層上にネガ型、あるいはポジ型レジストを塗布し、所定のパターンに露光、現像させると共に、このレジストパターンをマスクに用い、ウエット、またはドライエッチングして、パターニングされたアルミ電極配線3を選択的に形成させ、かつこのアルミ電極配線3上に、CVD法などにより、窒化珪素膜などの無機絶縁膜による第2の絶縁膜4を堆積形成させる(第3図(a))。

続いて、前記第2の絶縁膜4上に、写真製版法により、ネガ型、あるいはポジ型レジストを塗布し、これを所定のパターンに露光、現像させたのち、 $CF_4$ ガス8により、このパターニングされたレジストパターン7をマスクに用い、第2の絶縁膜4を選択的にドライエッチングしてパターン開口させる(同図(b))。

その後、前記マスクに用いたレジストパターン7を $O_2$ ガス8により灰化除去してから、これらの上にチップ表面を保護するバッファコート膜として、ポリイミド膜からなる有機絶縁膜を用い

ドライエッチングできないので、通常でのレジストパターンをマスクにしたドライエッチングが不可能であり、このため、必然的にウエットエッチングを採用せざるを得ず、このウエットエッチングによるときは、アルミ電極3の表面が荒れ易く、チップの信頼性上、好ましくないと云う問題点があった。

この発明は、従来のこのような問題点を解消するためになされたものであつて、その目的とするところは、有機絶縁膜を用いた表面保護膜のパターン形成に伴う写真製版工程を1回のみで済ませるようにすると共に、同パターン形成におけるすべてのエッチング操作をドライ処理し得るようにした、この種の半導体装置の製造方法、こゝでは有機絶縁膜を用いた表面保護膜のパターン形成方法を提供することである。

(課題を解決するための手段)

前記目的を達成するために、この発明に係る半導体装置の製造方法は、電極配線3上に第2の無機絶縁膜、有機絶縁膜からなる表面保護膜、第3の

表面保護膜5を塗布形成する(同図(c))。

さらに、前記表面保護膜5上に、再度、写真製版法により、ネガ型、あるいはポジ型レジストを塗布し、これを所定のパターンに露光、現像させたのち、このパターニングされたレジストパターンをマスクに用い、この表面保護膜5を前記第2の絶縁膜4での開口部よりも大きく選択的にウエットエッチングしてパターン開口させ、かつ最後にマスクに用いたレジストパターンを除去するので(同図(d))、このようにして、所期通りにチップ表面を保護する有機絶縁膜を用いた表面保護膜5をパターン形成するのである。

(発明が解決しようとする課題)

しかしながら、前記のようにしてなされる従来の有機絶縁膜を用いた表面保護膜5のパターン形成方法においては、アルミ電極配線3のパターン形成後、2回に亘つて写真製版工程を必要としているため、その作業が極めて煩雑になり、非常に手間取るばかりか、表面保護膜5としてのポリイミド膜については、 $O_2$ ガスによつてのみしかド

無機絶縁膜を順次に堆積させ、最上層に形成されるレジストパターンをマスクにして第3の無機絶縁膜を、この第3の無機絶縁膜をマスクにして表面保護膜を、この表面保護膜をマスクにして第2の無機絶縁膜をそれぞれ順次選択的にドライエッチングしてパターン開口させるようにしたものである。

すなわち、この発明は、半導体基板上に第1の無機絶縁膜を介して電極配線を選択的に形成させ、かつこの電極配線3上に第2の無機絶縁膜を堆積させる工程と、前記第2の無機絶縁膜上に有機絶縁膜からなる表面保護膜を形成させる工程と、前記表面保護膜上に第3の無機絶縁膜を堆積させる工程と、前記第3の無機絶縁膜上にレジストパターンを形成し、これをマスクに第3の無機絶縁膜を選択的にドライエッチングしてパターン開口させる工程と、パターニングされた第3の無機絶縁膜をマスクに前記表面保護膜を選択的にドライエッチングしてパターン開口させ、かつ同時に前記レジストパターンを除去する工程と、パターニ

ングされた表面保護膜をマスクに前記第2の無機絶縁膜を選択的にドライエッチングしてパターン開口させ、かつ同時に前記第3の無機絶縁膜を除去する工程とを含むことを特徴とする半導体装置の製造方法である。

#### (作 用)

従つて、この発明方法においては、電極配線上に第2の無機絶縁膜、有機絶縁膜からなる表面保護膜、第3の無機絶縁膜を順次に堆積させておき、この状態で、最上層に写真製版法で形成されるレジストパターンをマスクにして第3の無機絶縁膜を、この第3の無機絶縁膜をマスクにして表面保護膜を、この表面保護膜をマスクにして第2の無機絶縁膜をそれぞれ順次選択的にドライエッチングしてパターン開口させるようにしているために、1回の写真製版法によるのみで、所期通りの半導体チップでの有機絶縁膜による表面保護膜をパターン形成でき、かつこのパターン形成での各エッチング操作をすべてドライ処理し得るのである。

はポジ型レジストを塗布し、所定のパターンに露光、現像させると共に、このレジストパターンをマスクに用い、ウエット、またはドライエッチングして、パターニングされたアルミ電極配線13を選択的に形成させ、かつこのアルミ電極配線13上に、CVD法などにより、窒化珪素膜などの無機絶縁膜による第2の絶縁膜14を500~1000Å程度の厚さに堆積形成させる(第1図(a))。

続いて、前記第2の絶縁膜14上にあつて、スピコート法を用い、チップ表面を保護するためのバッファコート膜となる有機絶縁膜、ここではポリイミド膜からなる表面保護膜15を5~20μm程度の厚さに塗布形成させ(同図(b))、かつこの表面保護膜としての有機絶縁膜15上に、CVD法などにより、窒化珪素膜などの無機絶縁膜による第3の絶縁膜16を500~2000Å程度の厚さに堆積形成させる(同図(c))。

その後、前記第3の絶縁膜16上に、写真製版法により、ネガ型、あるいはポジ型レジストを塗布し、これを所定のパターンに露光、現像させたの

#### (実 施 例)

以下、この発明に係る半導体装置の製造方法の一実施例につき、第1図および第2図を参照して詳細に説明する。

第1図(a)ないし(f)はこの実施例方法を適用した半導体チップにおける有機絶縁膜を用いた表面保護膜のパターン形成方法での主要な工程段階を順次模式的に示すそれぞれに断面図であり、また、第2図は同上表面保護膜のエッチング工程における別手段を適用した場合を模式的に示す断面図である。

すなわち、これらの第1図において、この実施例での半導体チップにおける有機絶縁膜を用いた表面保護膜のパターン形成方法は、こゝでもシリコン半導体基板11上にあつて、まず、CVD法などにより、酸化珪素膜などの無機絶縁膜による第1の絶縁膜12を堆積形成させ、かつこの第1の絶縁膜12の表面上を、スパッタ法などにより、アルミ層、またはアルミ・シリコン合金層で被覆したのち、写真製版法により、同層上にネガ型、あるいは

ち、CF<sub>4</sub>ガス18により、このパターニングされたレジストパターン17をマスクに用い、この第3の絶縁膜16を選択的にドライエッチングしてパターン開口させ(同図(d))、かつ引き続き、今度は、O<sub>2</sub>ガス19により、前記表面保護膜としての有機絶縁膜15を選択的に等方性ドライエッチングして同様にパターン開口させるが、このとき、前記マスクとしてのレジストパターン17の厚さを、この有機絶縁膜15の厚さよりも薄くしておくことで、第3の絶縁膜16を残したまま、このレジストパターン17のみを灰化除去し得るのである(同図(e))。

次に、再度、CF<sub>4</sub>ガス18により、前記残された第3の絶縁膜16、および開口によつてパターニングされた表面保護膜としての有機絶縁膜15をマスクに用い、前記第2の絶縁膜14を選択的にドライエッチングして開口させるが、このとき、エッチングされる第2の絶縁膜14と比較して、表面部に残された第3の絶縁膜16が薄いため、これが同時にエッチング除去されることになり(同図(f))、こ

のようにして、所期通りにチップ表面を保護するための有機絶縁膜による表面保護膜15をパターン形成し得るのである。

つまり、以上のようにして、この実施例方法においては、最上層部におけるレジストパターンの形成と云う、たゞ1回だけの写真製版法の適用によるのみで、所期通りの有機絶縁膜による表面保護膜をパターン形成でき、しかもこのパターン形成における各エッチング操作をすべてドライ処理によつて行ない得ることから、電極配線の表面を荒すような惧れがない。

なお、前記第1図に示す実施例方法においては、表面保護膜としての有機絶縁膜の選択的エッチングに、 $O_2$ ガス19による等方性ドライエッチングを用いているが、同エッチング工程として、 $O_2$ ガス19による異方性ドライエッチングを用いることにより、第2図に示されているように、より一層加工精度の高いパターン開口を形成できるのである。

(発明の効果)

体装置を安価に提供し得るなどの優れた特長を有するものである。

#### 4. 図面の簡単な説明

第1図(a)ないし(f)はこの発明方法の一実施例を適用した半導体チップにおける有機絶縁膜を用いた表面保護膜のパターン形成方法での主要な工程段階を順次模式的に示すそれぞれに断面図、第2図は同上表面保護膜のエッチング工程における別手段を適用した場合を模式的に示す断面図であり、また、第3図(a)ないし(d)は従来例方法による同上有機絶縁膜を用いた表面保護膜のパターン形成方法での主要な工程段階を順次模式的に示すそれぞれに断面図である。

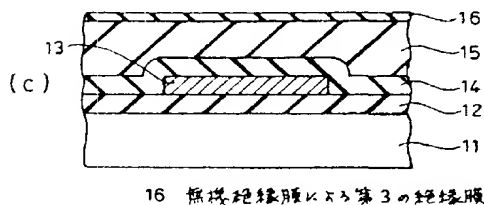
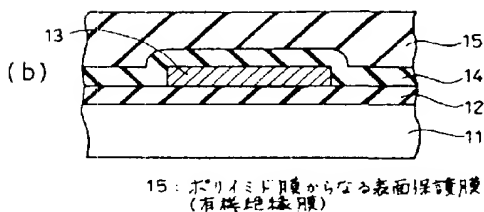
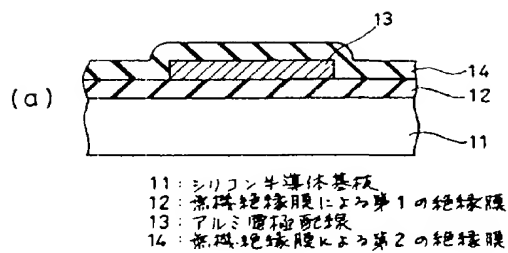
11……シリコン半導体基板、12……酸化珪素膜などの無機絶縁膜による第1の絶縁膜、13……アルミ電極配線、14……窒化珪素膜などの無機絶縁膜による第2の絶縁膜、15……ポリイミド膜からなる表面保護膜(有機絶縁膜)、16……窒化珪素膜などの無機絶縁膜による第3の絶縁膜、17……レジストパターン、18…… $CF_4$ ガス、19…… $O_2$

以上詳述したように、この発明方法によれば、電極配線にあつて、第2の無機絶縁膜、有機絶縁膜からなる表面保護膜、および第3の無機絶縁膜を順次に堆積させるようにし、この状態で、最上層に写真製版法を用いて形成されるレジストパターンをマスクにして第3の無機絶縁膜を、また、この第3の無機絶縁膜をマスクにして表面保護膜を、さらに、この表面保護膜をマスクにして第2の無機絶縁膜をそれぞれ順次選択的にドライエッチングしてパターン開口させるようにしたから、最上層部におけるレジストパターンの形成と云う、たゞ1回だけの写真製版法の適用によるのみで、半導体チップにおける有機絶縁膜を用いた表面保護膜を所期通りにパターン形成でき、その製造工程を効果的に簡略化できて作業性の向上を図り得るのであり、また、この表面保護膜のパターン形成における各エッチング操作をすべてドライ処理できるために、電極配線の表面を荒すような惧れがなく、しかも工程自体も比較的簡単で容易に実施可能で、結果的には、信頼性の高い半導

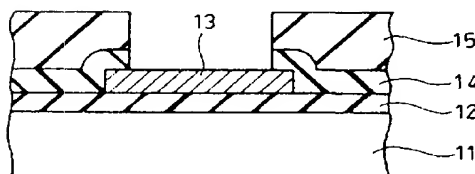
ガス。

代理人 大 岩 増 雄

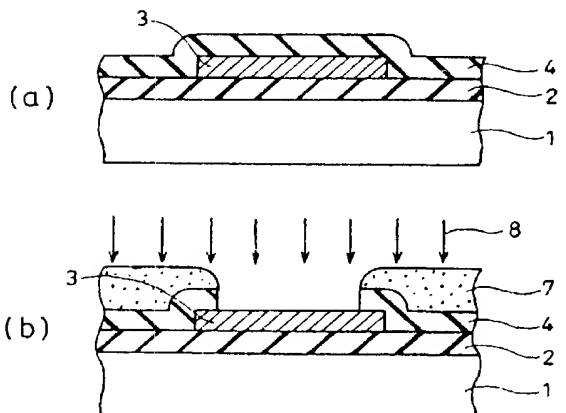
第 1 図



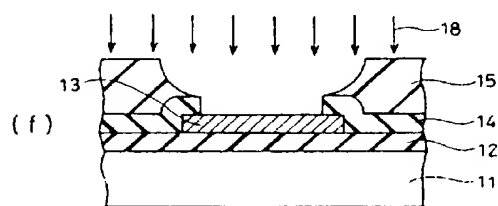
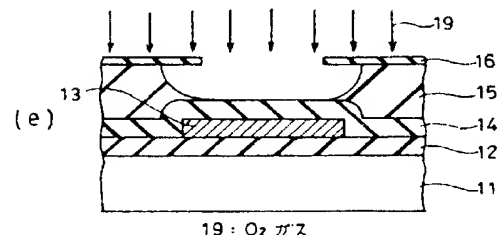
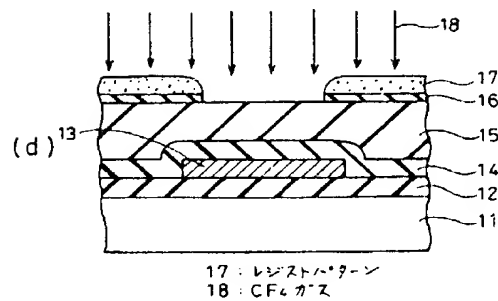
第 2 図



第 3 図



第 1 図



第 3 図

